

CLIPPEDIMAGE= JP361080226A
PAT-NO: JP361080226A
DOCUMENT-IDENTIFIER: JP 61080226 A
TITLE: ACTIVE MATRIX DRIVING DEVICE

PUBN-DATE: April 23, 1986

INVENTOR-INFORMATION:

NAME

ICHIKAWA, OSAMU

HIGUCHI, TOYOKI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP59201529

APPL-DATE: September 28, 1984

INT-CL (IPC): G02F001/133; G02F001/133 ; G09G003/20 ;
G09G003/36

US-CL-CURRENT: 349/151, 349/FOR.109 , 349/FOR.127 , 349/33
, 349/38 , 349/149
, 349/151

ABSTRACT:

PURPOSE: To decrease the number of integrated circuits and electric power consumption and to decrease considerably connecting points by disposing switching element groups to the periphery of the active matrix display element array on a driving circuit substrate for a display device.

CONSTITUTION: A silicon oxide film having address electrodes 32a~32w for a display part, peripheral source wiring terminal parts 34a~34h, 34l~34s, peripheral gate wirings 36a~36h and through-hole parts 38 is formed on a

transparent glass substrate 30. Data electrodes 44a~44w are connected to one end part of a thin semiconductor film of the substrate display part and drain electrodes to the other end part to constitute the switching elements. Peripheral source electrodes are connected to one end part of the thin semiconductor film in the peripheral part of the substrate and peripheral drain electrodes to the other end. Part of the peripheral source electrodes are connected via the through-hole parts 38 to the peripheral source wiring terminal parts 34a~34h and part of the peripheral drain electrodes are connected via the through-hole parts 38 to the address electrodes of the display part.

COPYRIGHT: (C)1986,JPO&Japio

⑫ 公開特許公報(A)

昭61-80226

⑤ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)4月23日

G 02 F 1/133

1 2 9

B-7348-2H

G 09 G 3/20
3/36

1 1 8

D-8205-2H

7436-5C

7436-5C

審査請求 未請求 発明の数 1 (全14頁)

⑭ 発明の名称 アクティブ・マトリックス駆動装置

⑯ 特 願 昭59-201529

⑰ 出 願 昭59(1984)9月28日

⑱ 発 明 者 市 川 修 川崎市幸区小向東芝町1 株式会社東芝総合研究所内
 ⑲ 発 明 者 樋 口 豊 喜 川崎市幸区小向東芝町1 株式会社東芝総合研究所内
 ⑳ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
 ㉑ 代 理 人 弁理士 則近 憲佑 外1名

明 細 書

1. 発明の名称

アクティブ・マトリックス駆動装置

2. 特許請求の範囲

(1) スイッチング素子と該スイッチング素子を駆動する電極配線とがマトリックス状に設けられたアクティブ・マトリックス部と、該アクティブ・マトリックス部から延設された各配線に対応して設けられ2種の信号により前記延設された各配線を選択駆動し、且つ同数個ずつブロック化された複数のスイッチング素子と、前記複数の各ブロック部ごとに設けられ前記各ブロック部の全ての前記スイッチング素子に前記2種の信号のうちの一方を供給する第1種の電極配線と、前記各ブロック部のスイッチング素子数に対応して設けられ前記各ブロック部の各1個のスイッチング素子に前記2種の信号のうちの他方の信号を供給する第2種の電極配線とを具備することを特徴とするアクティブ・マトリックス駆動装置。

(2) 前記アクティブ・マトリックス部のスイッチ

ング素子はTFT(Thin Film Transistor)からなることを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス駆動装置。

(3) 前記アクティブ・マトリックス部の電極配線はアドレス配線とデータ配線からなることを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス駆動装置。

(4) 前記アクティブ・マトリックス部から延設された各配線は前記アクティブ・マトリックス部の電極配線がそのまま延設されたものであることを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス駆動装置。

(5) 前記アクティブ・マトリックス部から延設された各配線は前記アクティブ・マトリックス部の電極配線にエラストマー若しくはワイヤボンディングにより電気的に接続されたものであることを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス駆動装置。

(6) 前記2種の信号により前記延設された各配線を選択駆動する複数のスイッチング素子はTFT

(Thin Film Transistor) からなることを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス駆動装置。

(7)前記2種の信号により前記延設された各配線を選択駆動する複数のスイッチング素子は、TMG (Transmission Gate) チップからなることを特徴とする特許請求の範囲第1項記載のアクティブ・マトリックス駆動装置。

(8)前記ブロックはTMG (Transmission Gate) ICからなることを特徴とする特許請求の範囲第7項記載のアクティブ・マトリックス駆動装置。

(9)前記アドレス配線を駆動するための第1種の電極配線はアドレスセレクト用ICにより選択されることを特徴とする特許請求の範囲第3項記載のアクティブ・マトリックス駆動装置。

(10)前記アドレス配線を駆動するための第2種の電極配線はアドレスドライバ用ICにより選択されることを特徴とする特許請求の範囲第3項記載のアクティブ・マトリックス駆動装置。

(11)前記データ配線を駆動するための第1種の電

極配線はデータセレクト用ICにより選択されることを特徴とする特許請求の範囲第3項記載のアクティブ・マトリックス駆動装置。

(12)前記データ配線を駆動するための第2種の電極配線はデータラッチ用ICにより選択されることを特徴とする特許請求の範囲第3項記載のアクティブ・マトリックス駆動装置。

3. 発明の詳細な説明

[発明の技術分野]

本発明はスイッチング素子をマトリックス状に配列した表示装置用の駆動装置に係り、特に周辺駆動回路を有するアクティブ・マトリックス駆動装置に関する。

[発明の技術的背景とその問題点]

エレクトロルミネッセンス、発光ダイオード、プラズマ、蛍光表示管、液晶などの表示デバイスは、表示部の薄型化が可能であり、計測機器、事務機器やコンピュータ等の端末表示装置あるいは特殊な表示装置への用途として要求が高まっている。これらの表示デバイスの中で液晶表示装置は

(3)

低消費電力化や低コスト化が可能であるために特に注目されている。

近年、この液晶表示装置の機能性をさらに高めるために薄膜トランジスタによるスイッチング素子をマトリックスアレイに構成したものが開発されている。この方法は、基板上に設けたスイッチングトランジスタマトリックスの各ドットに画像情報を蓄積し、このマトリックスアレイの各ドットに対応した位置の液晶層の変化を所定期間保持して画像を作るものである。

このためにスイッチングトランジスタマトリックスアレイを用いた液晶表示装置はほぼ全時間表示となり、見易い画像が得られる。

ところで、スイッチングトランジスタの材料としては結晶、多結晶、アモルファス状態のSi, CdSe, Te, CdS等が用いられる。このなかでも多結晶半導体やアモルファス半導体の薄膜技術は、低温プロセスが可能のために、ガラス基板等の比較的低温で取扱うことの必要な基板にもスイッチングトランジスタのアクティブマトリッ

(4)

ク素子を形成することができ、低価格で大面積の表示装置を実用段階にした。

従来、このようなアクティブ・マトリックスアレイ基板は表示部分のみで構成されており、この表示部のマトリックスアレイ基板を表示駆動するためには外部に設けた駆動回路部分とワイヤボンディング等により接続していた。

第15図(a)、(b)は透過型アクティブマトリックス液晶表示装置に於ける表示部基板と駆動回路基板との一般的な接続方法を示す。

表示部基板2は薄膜トランジスタアレイを構成した基板と、これに対向し透明電極を全面に形成した基板と、この2枚の基板の間に液晶層を挟持して構成する。また周辺駆動回路4は、そのほぼ中央に位置して表示部基板2を嵌込む為の窓を持ち、周囲には多数のIC6を搭載したPC板により構成する。そしてこの表示部基板2の保持には周辺駆動回路基板4の裏面に具備した透明保持板8を用い、表示部基板2の周辺および駆動回路基板4の窓周囲に設けた電極端子相互をボンディン

グワイヤ10で接続する。この組立て構造ではICをチップとして用いているがPC板の特徴を生かし、DIPICで構成することもできる。更にはPC板のかわりに透明ガラス基板を使えば駆動回路基板の中央部の窓開けや保持板を不用とした容易な構造も取入れることができる。

しかしながら高精細で大画面のアクティブマトリックス表示装置を構成すると表示部基板上の周囲に設ける端子が増える。一方、現状のICのボンディングパッドはチップの4辺周囲に設けられており、その間隔は100~150 μ mとなっている。この為に表示部基板の端子チップが150~200 μ mであってもICチップを搭載する部分の周辺配線は回し込み配線が必要となり、従って多層配線とする手段がとられている。これらのICチップ搭載部周囲に於ける多層配線は薄膜トランジスタマトリックスアレイ部の構成とは異なるプロセスによって作られることが多く、このためにマトリックスアレイ表示部基板の製造歩留りを低下させたり、更にはこのICチップの組立て時に於け

(7)

る線走査の数が多くなると一ライン走査(TFTへのゲート電圧印加)に対するデータの書き込みが不充分となることを考慮してNTSC方式のテレビジョンスキヤンのようにまず線走査回路24aでG1, G3...Gnと奇数の走査を行い、次いで線走査回路24bでG2, G4, G6, ... Gn+1の偶数走査を行って一本ずつ飛越する走査により解決している。更には画像ピッチに対する端子のピッチを緩らげる手段として画像データ処理回路20a, 20bも同様に奇数、偶数と振分けている。

これらの駆動回路は既存のデュアルインラインパッケージ型等のICをPC板上で組上げる構造とする場合には奇数と偶数の線走査に対し表示部基板への接続の際にその接続を工夫すれば解決できる。しかしながら、前述したような表示部基板上にICチップを搭載し表示装置全体を小形化しようとする場合には画像データ処理回路のICと線走査回路用ICはそれぞれ同一機能をもち出力端子の位置が反転した2種類のICが必要となり、

(9)

る不良発生も起るので表示装置全体としての生産性を著しく悪くしていた。

第16図はこれらの駆動回路の概念的な構成図を示す。まず外部機器からの画像情報、垂直信号、水平信号、クロック信号等の入力信号12がコントロール回路14に入力される。このコントロール回路14で作られたクロック信号16、画像データ18a, 18bは画像データ処理回路(一ラインメモリ)20a, 20bに入力し、また画像スキヤニング信号22a, 22bは線走査回路24a, 24bに入力する。そして線走査回路24a, 24bおよび画像データ処理回路20a, 20bの各々からの信号が表示部2に入力されて画像を作り出す。この表示部2内に形成した表示素子アレイとしての薄膜トランジスタは応答速度が遅いため画像データ処理回路20a, 20bに比較的高速動作可能なICを用いて一ライン分の画像データを記憶し、線走査回路24a, 24bでは比較的遅い速度で走査することのできるいわゆる線順次走査を採用している。またこの方法ではライ

(8)

ICの生産性やその組立における能率が低下するものであった。又、周辺駆動回路自体も通常消費電力を低減する意味でCMOS等のLSIが用いられるが、このために必要なICチップ数は20個~50個となり、消費電力が増大するばかりでなくアセンブリコストやICチップ自体のコストもかかり過ぎる。

近年こうした問題に対処する手段として表示部周辺にシフトレジスタを一体化形成した、いわゆる周辺駆動回路部一体形の表示装置が検討されている。しかしながら、従来の薄膜トランジスタ技術を用いてシフトレジスタを形成した場合は、このシフトレジスタの配線パターンが表示部に比し微細となるため加工精度、製造プロセス上の問題が生じ、しかも一般的なMOS構造となる駆動回路を構成すると薄膜が故に信号波形の歪が多くそのため応答速度が遅くなってしまふ。またこのシフトレジスタの歩留りは100%でない则表示装置用の駆動回路基板全体が不良となってしまう。また特開昭59-58480号の如く4相以上のクロッ

(10)

ク信号を用いて高速としたり、シフトレジスタにダミーセルを設けて歩留り向上を図る場合は、配線パターンが非常に微細となり加工精度がさらに問題となり、また周辺駆動部の回路規模が増大してしまうという問題も生じる。

尚、直行する行電極及び列電極からなる、いわゆる単純マトリックス型の液晶表示装置に於いては、特開昭59-48738号の行電極の選択電圧をマルチプレックス化することにより駆動回路を削減する方法があるが、この方法では、例えば16×16(256)画素の場合の表示部と駆動回路部との接続部数は列が256、行が32となってしまう。結局は接続部数を大幅に減らすことができないという問題がある。

また駆動回路部に、例えばRAM等のメモリICやデータセレクターIC、レコーダIC等の結線を利用することが考えられるが、アクティブ・マトリックス用として安定な電気信号を送り込む駆動回路が必要であり、またアクティブ・マトリックス部のスイッチング素子に対する電気信号の印

(11)

各ブロック部の全てのスイッチング素子に2種の信号のうちの一方の信号を供給する第1種の電極配線と、各ブロック部のスイッチング素子数に対応して設けられ各ブロック部の1個のスイッチング素子に2種の信号のうちの他方の信号を供給する第2種の電極配線とを具備するアクティブ・マトリックス駆動装置を得ることにある。

〔発明の効果〕

表示装置用駆動回路基板上のアクティブマトリックス表示素子アレイの周辺に以上のような機能をもつスイッチング素子群を配設することにより多数のマトリックス端子があっても、これらの端子に与えるための電気信号を作る集積回路の数を少なくすることができる。従って駆動のための消費電力が少なくなるばかりでなくボンディング等の接続箇所が大幅に削減できる。

また、表示部マトリックスアレイのスイッチング素子より粗なパターンでよいのでこのために高歩留りが得られる。さらには表示部の面積に比べ周辺の駆動回路のアセンブリ面積は小さくできる

加量を多くでき且つ選択駆動が高速な駆動装置が必要とされるのである。

〔発明の目的〕

本発明は上記したようなアクティブマトリックスアレイの表示部と、この表示部を駆動する周辺駆動回路の組合せに於し、表示部のマトリックスアレイの製造歩留りを低下させることなく、かつ小数の駆動用ICで多数の表示部マトリックスアレイ端子を駆動することのできる表示装置用駆動装置を提供することを目的とする。

〔発明の概要〕

本発明はスイッチング素子とこのスイッチング素子を駆動する電極配線とがマトリックス状に設けられたアクティブ・マトリックス部と、このアクティブ・マトリックス部から延設された各配線に対応して設けられ2種の信号により延設された各配線を選択駆動する複数のスイッチング素子と、この複数のスイッチング素子が複数の同数のスイッチング素子ごとに区分された複数のブロック部と、この複数の各ブロック部ごとに設けられこの

(12)

など大幅な生産性の向上および実装設計上の自由度の拡大を図ったアクティブ・マトリックス駆動回路基板を得ることができる。

また本発明による周辺駆動回路の選択駆動は各スイッチング素子群(ブロック)ごとに行なうことができるのでアクティブ・マトリックス部の選択駆動を高速に行なうことができる。

〔発明の実施例〕

以下本発明の実施例を第1図乃至第14図を参照して説明する。先ず第1図は本発明の一実施例を用いた表示装置用駆動回路基板の平面図であり、第2図(a)、(b)、(c)は第1図に示す表示装置用駆動回路基板の中央領域を占める表示部の等価回路図平面図及びその断面図であり、第3図(a)、(b)は表示装置用駆動回路基板の周辺領域を占める周辺駆動回路部の平面図及びその断面図である。本実施例で示す表示装置用駆動回路基板は、透明ガラス基板(30)上に表示部用のアドレス電極(32)、(32a)、(32b)、…(32w) 周辺駆動回路部用の周辺ソース配線端子部(34a)、…(34h)、(34i)、…(34s)

及び周辺ゲート配線(36a),(36b),…(36h)が形成されており、さらにスルーホール部(38)を有するシリコン酸化膜(40)が形成されている。基板表示部のシリコン酸化膜(40)上にはアドレス電極(32a),(32b),…(32w)形成部に対応して、また基板周辺部のシリコン酸化膜(40)上には周辺ゲート配線(36a),(36b)…(36h)形成部に対応して夫々例えばアモルファスシリコンからなる島状パターンの半導体薄膜(42a),(42b),…(42g)が設けられている。基板表示部の半導体薄膜(42)の一端部にはデータ電極(44),(44a),…(44w)が、他端部にはドレイン電極(46)が接続形成されておりスイッチング素子を構成している。基板周辺部の半導体薄膜(42a),…(42g)の一端部には周辺ソース電極(50a),…(50g)が、他端部には周辺ドレイン電極(52a),…(52g)が接続形成されており、さらに周辺ソース電極(50a),…(50g)の一部はスルーホール部(38)を介して周辺ソース配線端子部(34a),(34b),…(34h)に接続され、周辺ドレイン電極(52a),…(52g)の一部はスルーホール部(38)を介して表示部のア

(15)

Vapour Deposition)法により約3000Åを付着し、PEP技術により島状パターンの半導体薄膜(42a),(42b),…(42g)を形成する。

次に約3000ÅのITOからなる透明導電体層を付着し、PEP技術でパターン化して画素電極(53)を作る。そして次に約500ÅのMoと約1μmのアルミニウムをスパッタ法あるいは蒸着により積層し第2層のパターンとなる表示部内ドレイン電極(46)、データ電極(44),(44a),(44b),…(44w)周辺ドレイン電極(52),(52a),…(52g)、周辺ソース電極(50),(50a),(50b),…(50g)および駆動用IC接続部(60)を形成して表示部内のTFT(62)および周辺スイッチングトランジスタ群(64a),(64b),…(64h)を完成する。

第1図乃至第3図で示すように表示部内TFT(62)を走るアドレス電極(32),(32a),(32b)…(32w)が第1層となっており、周辺ドレイン電極(52),(52a),(52b),…(52g)の第2層との接続のためにシリコン酸化膜(40)の絶縁膜に開孔を施しスルーホール部(38)を設けることが必要であるが、表示

ドレス電極(32a),…(32w)に接続されている。このような表示装置用駆動回路基板を液晶表示装置に用いる場合は、第2図例に示す如く、ドレイン電極(46)に、例えばITO(Indium Thin Oxide)からなる画素電極(53)を接続形成し、さらに透明ガラス基板(30)の表示部領域上に液晶層(54)を介して、例えばITOからなる透明導電膜(56)が内側一面に形成された透明の対向基板(58)を設ければ良い。

次に上記表示装置用駆動回路基板の製造方法を説明する。先ず約2mm厚の透明ガラス基板(30)上に2000ÅのMo膜を付着し、PEP(Phot Engraving Process)技術により第1層のパターンとなるアドレス電極(32a),(32b),…(32w)と周辺ソース配線端子部(34a),(34b),…(34h)及び周辺ゲート配線(36a),(36b),…(36h)を形成する。次に約2000Åのシリコン酸化膜(40)をCVD法により付着し、そのシリコン酸化膜(40)の所望部位にスルーホール部(38)を形成する。その後、アモルファスシリコンをCVD(Chemical

(16)

部内TFT(62)を走るデータ電極(44),(44a),(44b)…(44w)と周辺ドレイン電極(66)とに於いてはスルーホール部を必要としない。

周辺スイッチングトランジスタ群(64a),(64b),…(64c),…(64h)のソース電極部を共通に接続する周辺ソース配線端子部(34a),(34b),…(34h),(34i),…(34s)及びゲート配線部(36a),(36b),…(36h)の端部には駆動用IC接続部(60)は、駆動回路基板(30)外部に設けられた駆動回路部(図示せず)とワイヤボンディング或いは導電性ゴムの圧接等により接続され所望の電気信号が与えられるために設けられている。

以上のようにして構成された表示装置用駆動回路基板では、周辺駆動回路部のゲート電極配線(36a),(36b),…(36d)と周辺ソース配線端子部(34a),…(34h)により周辺トランジスタ群(64a),…(64d)をONして表示部のアドレス電極(32a),…(32w)を選択する。同様に周辺駆動回路部のゲート電極配線(36e),…(36h)と周辺ソース配線端子部(34i),…(34s)により周辺トランジスタ群(64e),…(64h)をONして表

示部のデータ電極(44a),…(44w)を選択する。第2図に示すような液晶表示装置に用いた場合は上記のような表示部のアドレス電極(32a),…(32w)及びデータ電極(44a),…(44w)の選択によりさらに表示部内のTFT(62)を選択し、各TFT(62)に対応した画素電極(48)に電圧を印加して液晶層(54)を駆動させる。このようにマトリックス状に配置された画素電極(48)の選択の組合せにより任意の表示像を映し出すことができる。

尚、上記実施例では、周辺駆動回路部にセレクト、ドライバ等の駆動回路部を設けてはいないが、第4図に示すように周辺駆動回路部にデータセレクト用IC(70)、データラッチ用IC(72)やアドレスドライバ用IC(74)、アドレスセレクト用IC(72)を搭載することもできる。

すなわち本発明によればアクティブ・マトリックス部の各辺に対応してセレクト用ICとラッチ用IC若しくはドライバ用ICとセレクト用ICを1個ずつ設ければ良く、従って従来のシフトレジスタを用いた場合のように各データ若しくは各

(19)

して説明する。第8図(a),(b)は周辺スイッチングトランジスタ群 T_1, T_2, T_3, T_4 からなる周辺駆動回路部の平面図及びその等価回路図を示すものである。この第8図(a),(b)では表示部の一辺のドレイン電極数が16本である場合の周辺駆動回路を示しており、ゲートを共通とするスイッチングトランジスタ群 T_1, T_2, T_3, T_4 が設けられソース電極 $S_1 \sim S_4$ と共通ゲート電極 $G_1 \sim G_4$ の選択によりドレイン電極 $D_1 \sim D_{16}$ を選択できるようになっている。

第9図(a),(b)はソース電極配線 S_1, S_2, S_3, S_4 と、ゲート電極配線 G_1, G_2, G_3, G_4 への信号発生回路を示している。第9図(a)において所定の時間幅をもつクロック信号CKによりFFカウンタ(80)がバイナリカウントする。このカウンタ(80)より上位2ビットのバイナリ信号(82)を受けて第1のデコーダ(84)でそのデコード信号 S_1, S_2, S_3, S_4 を出力する。またカウンタ(80)の下位2ビットのバイナリ信号(86)は第2のデコーダ(88)に与えられそのデコード信号 $G_1,$

アドレスラインに対応してラッチ機能或いは増幅機能を持たせる必要がなく大幅に回路規模を縮小することができる。

また本発明によればアクティブマトリックス駆動回路基板と画像情報源となる外部機器との配線接続数を一挙に少なくできる利点がある。

また本発明に於ける表示装置用駆動回路基板は表示部と周辺駆動回路部とを別々に製造し、表示部と周辺駆動回路部との各端子の接続をエラストマー或いはワイヤボンディングにより行なっても良い。このように表示部と周辺駆動回路部とを別工程により製造する場合周辺駆動回路部のスイッチング素子は上記実施例の如きTFTに限る必要はなく、例えば第5図(a),(b),(c)に示すようなTMG(Transmission Gate)チップ(80)で第6図に示すように構成しても良い。更には第7図に示すようにTMGの素子数を多くしたIC(82)で構成したものであればアセンブリの手間が省略される。

次に本発明の動作を第8図乃至第14図を参照

(20)

G_2, G_3, G_4 を作り出す。又、第9図(b)においては第9図(a)のカウンタとデコーダに替えて2組のシフトレジスタを用いたものである。まず、初期データDが第1のシフトレジスタ(90)に入力され、クロック信号CKに同期して S_1 に現われる。この後初期データDをなくしてクロック信号CKの2個目を励起して第1のシフトレジスタ(90)の出力を S_2 に移行する。同様にクロック信号CKを3個、4個と送り第1のシフトレジスタ(90)の出力を S_3, S_4 と移す。第2のシフトレジスタ(92)の出力信号 G_1, G_2, G_3, G_4 は初期状態で G_1 がONとなっている。そうして第1のシフトレジスタ(90)のキャリー信号CYとクロック信号CKの組合せで第2のシフトレジスタ(92)の出力がシフトし G_2 に移行する。第1のシフトレジスタ(90)への入力データ信号Dは所定期間ごとに発生した場合では S_4 の出力ごとに発生するようになっている。このように第9図(a),(b)では、 S_1, S_2, S_3, S_4 の一巡走査ごとに G_1, G_2, G_3, G_4 の出力信号が切替わる

回路構成となっている。

第10図は第9図(a)或いは(b)の駆動回路からの信号と第8図(a), (b)の周辺スイッチングトランジスタ群T1, T2, T3, T4のドレイン電極配線D1, D2, ..., D16の出力信号タイムチャートである。第6図に示すように各ゲート電極配線G1, G2, G3, G4が所定期間ON状態のときソース電極配線S1, S2, S3, S4には順次ONの信号が入力される。そしてゲート電極配線G1, G2, G3, G4の切り換えごとにS1, S2, S3, S4を順次走査すればスイッチングトランジスタ群T1, T2, T3, T4のドレイン電極配線D1, D2, ..., D16は信号を順次出するので表示部内TFTのアドレス電極の走査信号として利用できる。

一方表示部内TFTへのデータ信号はシリアルな信号よりもパラレル信号が望ましい。第11図及び第12図は本発明にかかわる周辺スイッチングトランジスタ群を用いた画像データ処理回路とそのタイムチャートである。まず、クロック信号

(23)

アクティブマトリックス画像表示走査が可能となる。すなわち、第13図に示すように、アドレス走査側のひとつのデコード出力期間T内に画像データ側のパラレル出力を一巡させることにより縦順次走査方式を変形した表示動作を行うことができる。

第14図は第1図で示す駆動用IC接続部(60)を工夫しICチップを搭載した駆動回路基板を示す。入出力端子部(92)から外部機器の画像データおよび走査信号を受け、所望動作のIC90, 90a, ..., 90hでアドレス走査および画像データ処理が行なわれる。そうしてアドレス走査をスイッチ動作させる。スイッチングトランジスタ群(94)と、画像データを順次出力するスイッチングトランジスタ群(96)により表示走査が行なわれ表示部(98)により画像が映し出される。

尚、本発明の実施例ではアドレス走査側だけに限らず画像データ側にも周辺スイッチングトランジスタ群を設けて周辺駆動用ICとの簡略化を図っているが、表示部内の画素セルに蓄積容量を加

(25)

CKに同期したアナログ画像信号ADがシフトレジスタ(94)の出力信号(96)に従ってサンプルホールド(86)の所定箇所に蓄えられる。サンプルホールド(98)に蓄えられたアナログ画像情報(100)はアナログドライバー(102)によって増幅されそれぞれの出力信号S1, S2, S3, S4を作る。一方シフトレジスタ(94)への一通りの書き込み終了ごとにバイナリ信号(96)の出力モードをカウンタ(98)に切換え、終段のデコーダ(104)によりデコード出力信号G1, G2, G3, G4を切り換える。このようにすればアナログ画像情報信号S1, S2, S3, S4とデコード信号G1, G2, G3, G4の組合せで周辺スイッチングトランジスタ群T1, T2, T3, T4からの出力信号D1, D2, ..., D16が4本単位で同時にかつそれぞれ独自のアナログ情報量を持って出力されることになる。

このように画像データ側のスイッチングトランジスタ群の働きと、アドレス走査側のスイッチングトランジスタ群の働きを連動させることにより



(24)

えたり、半導体薄膜の材料としてアモルファスシリコンを使ったものでは所定時間での画像データ蓄込みが不十分となることがあるがこのような場合は画像データ側にはスイッチングトランジスタ群を設けずに従来の結線方法と併用してもよい。

また、実施例ではスイッチングトランジスタ群を4個として説明しているが本来の目的では極めて多くの端子を必要とする表示装置用駆動回路基板として有効であることは言うまでもなくアドレス数が500~1000本、また、データ側も500~2000本と言った場合に効果的となる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す図、第2図乃至第14図は本発明の他の実施例を説明するための図、第15図及び第16図は従来例を示す図である。

30...透明ガラス基板、32, 32a, 32b, ..., 32w...表示部用アドレス電極配線、34a, ..., 34h, 34i, ..., 34s...周辺ソース配線端子部、36a, 36b, ..., 36h...周辺ゲート配線、38...スルーホ



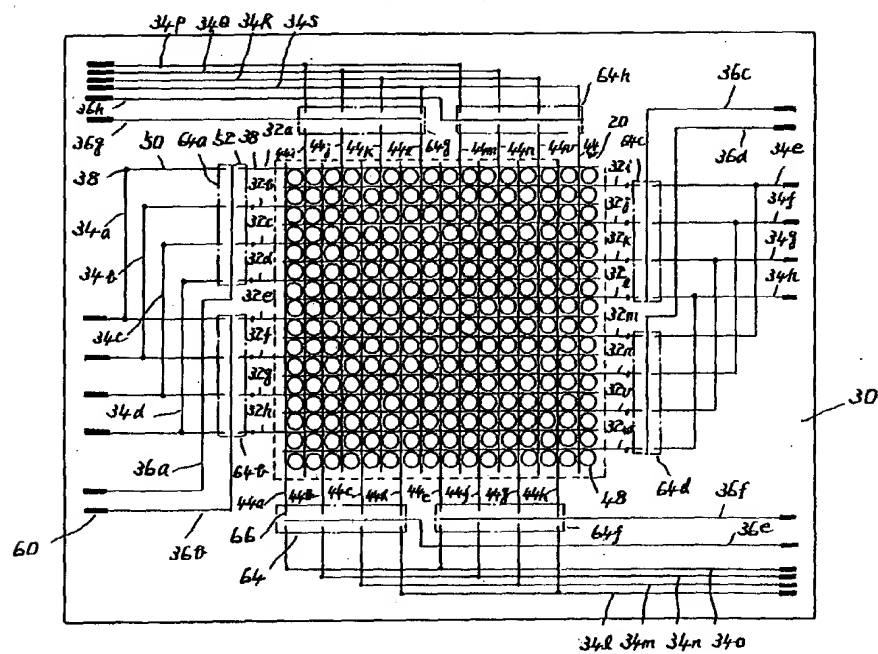
(26)

ール部、40…シリコン酸化膜、42,42a,…
 42g…半導体薄膜、44,44a,…44w…データ電
 極、46…ドレイン電極、50a,50b,…50g…
 周辺ソース電極、52a,52b,…52g…周辺ドレ
 イン電極、53…画素電極、54…液晶層、56
 …透明導電膜、58…対向基板、60…駆動用IC
 接続部、62…TFT、64a,64b,…64h…
 周辺スイッチングトランジスタ群、66…周辺ド
 レイン電極、70…データセレクト用IC、72
 …データラッチ用IC、74…アドレスドライバ
 用IC、76…アドレスセレクト用IC。

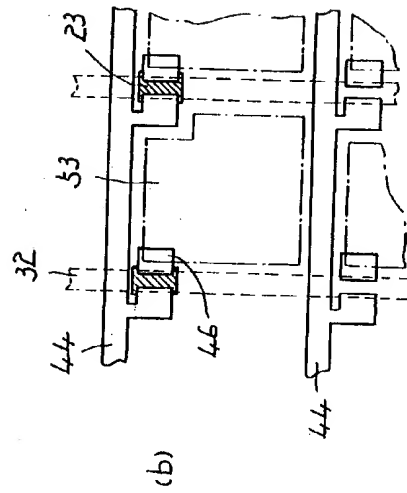
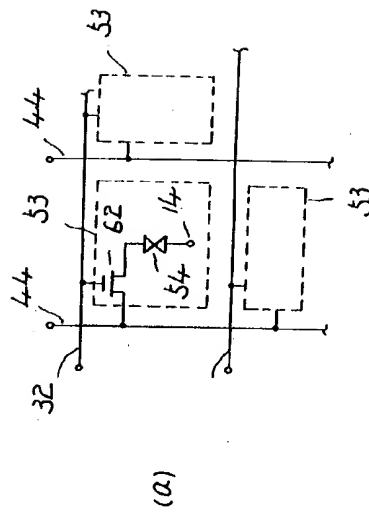
代理人弁理士 則 近 憲 佑(ほか1名)

(27)

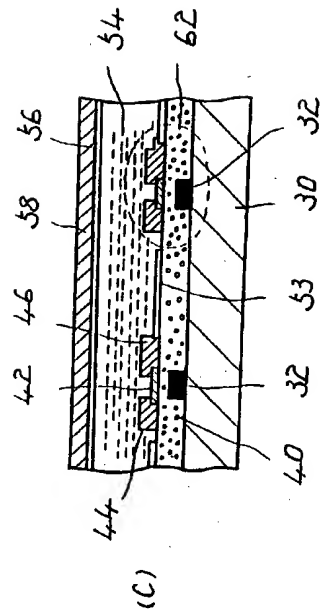
第 1 図



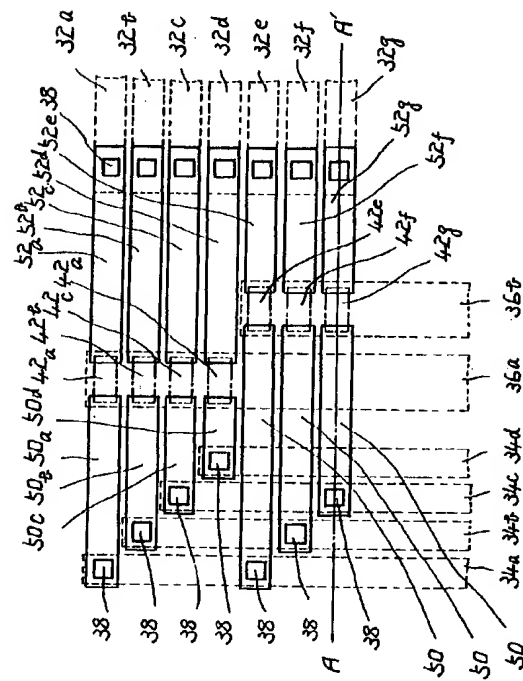
第 2 図



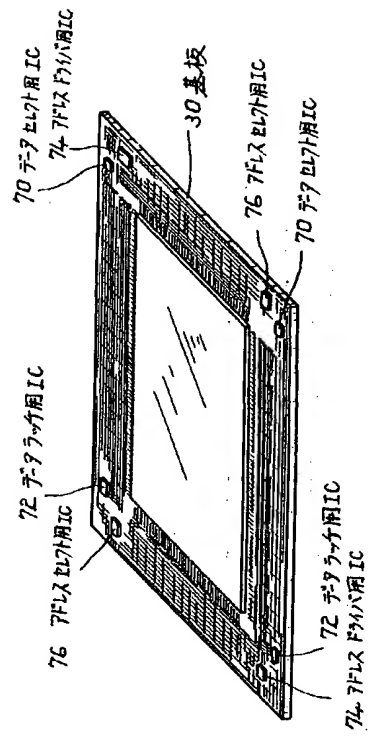
第 2 図



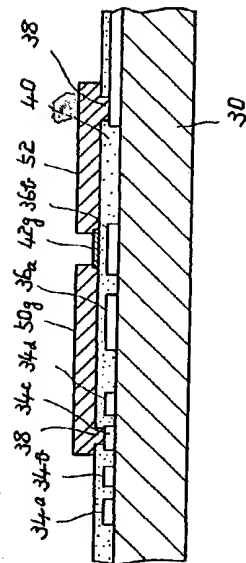
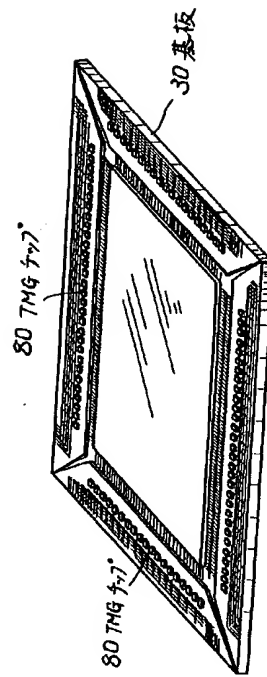
第 3 図



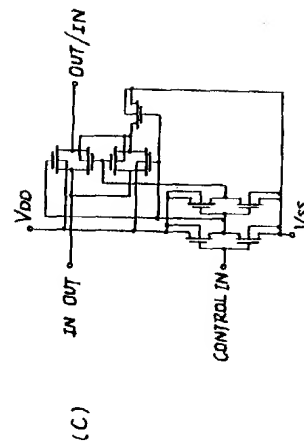
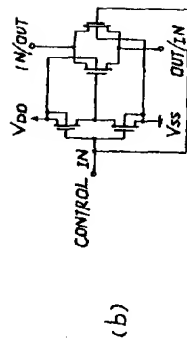
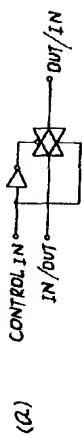
第 4 図



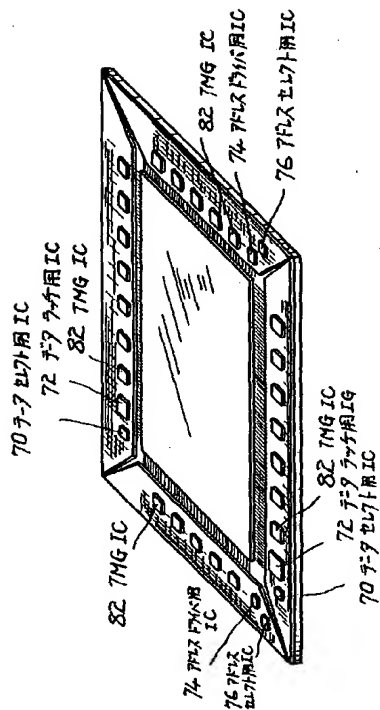
第 6 図



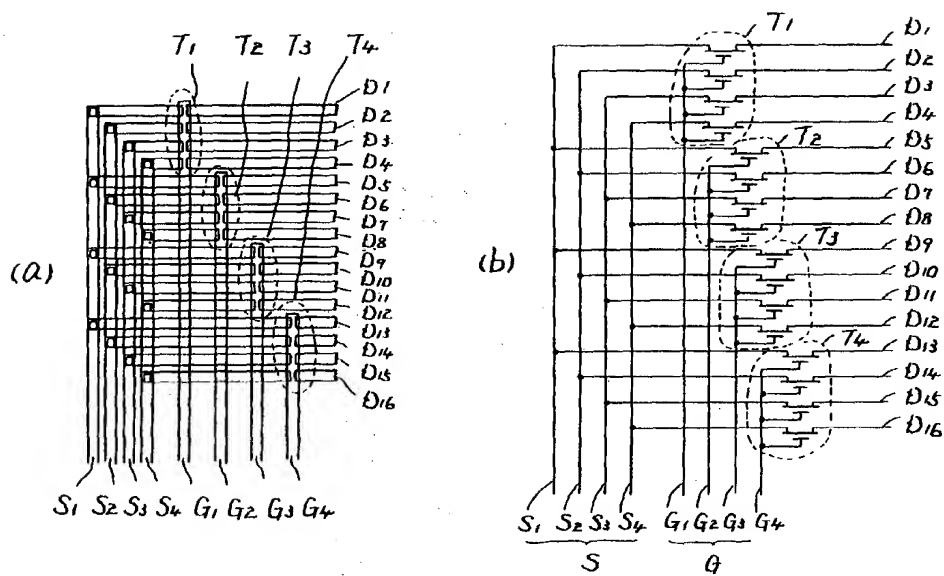
第 5 図



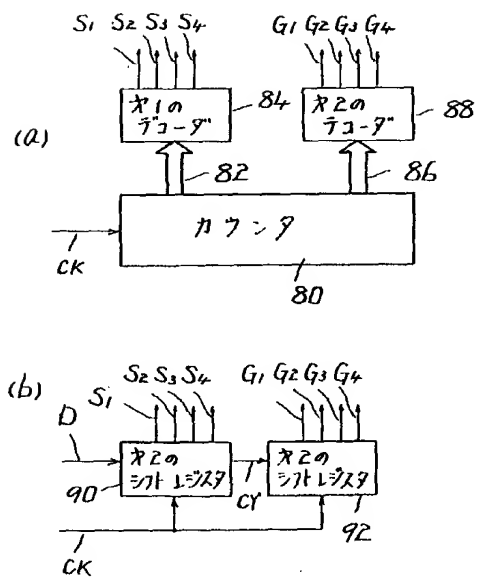
第 7 図



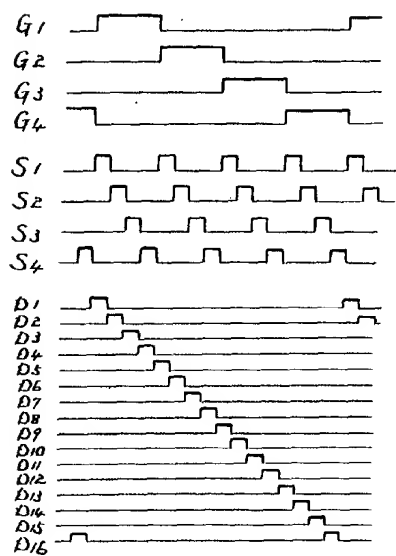
第 8 図



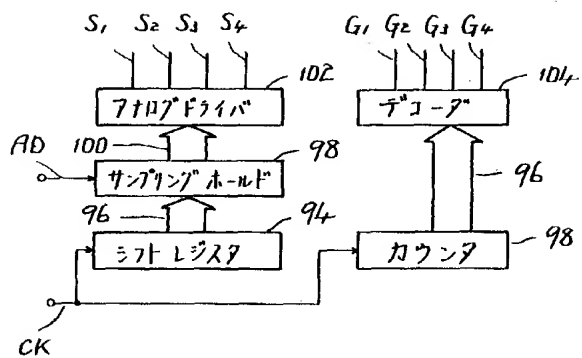
第 9 図



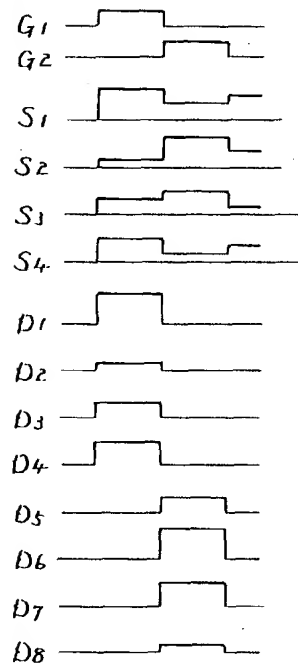
第 10 図



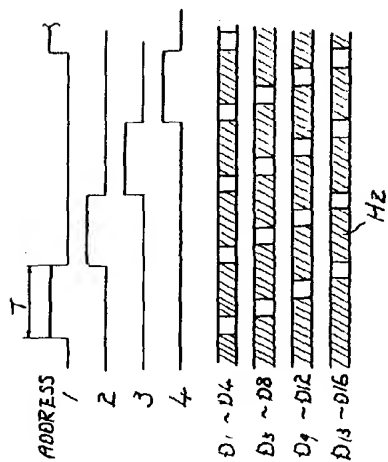
第 11 図



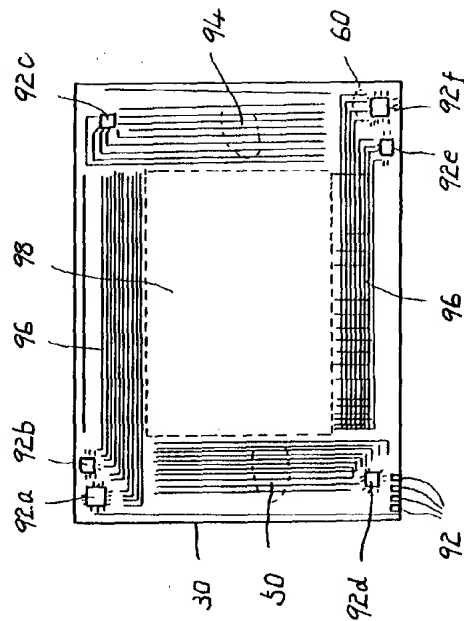
第 12 図



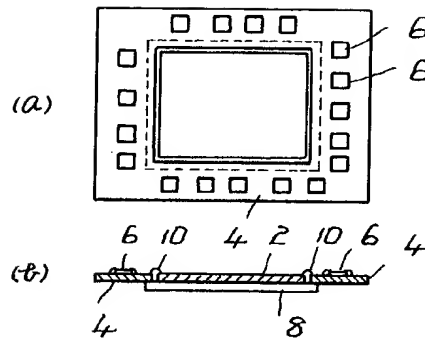
第 13 図



第 14 図



第 15 図



第 16 図

